

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-089519  
 (43)Date of publication of application : 15.04.1991

(51)Int.Cl.

H01L 21/306

(21)Application number : 01-225684  
 (22)Date of filing : 31.08.1989

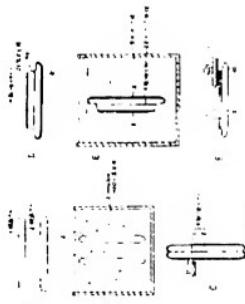
(71)Applicant : SONY CORP  
 (72)Inventor : NIEDA AKIRA  
 SATO HIROSHI  
 SHIMANOE MUNEHARU

## (54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PURPOSE:** To etch only a chamfering section selectively without using a conventional etching jig by applying and forming an etching-resistant film onto the front of a laminate wafer, chamfering the peripheral section of the laminate wafer and etching the chamfering section while employing the etching-resistant film as a mask as it is.

**CONSTITUTION:** Both wafers 1, 2 are laminated in a clean atmosphere, and the two wafers 1, 2 are unified through heat treatment in an O<sub>2</sub> atmosphere while a laminated wafer 4, on the whole surface of which an SiO<sub>2</sub> film 21 is applied and shaped, is formed. The non-adhesive section in the periphery of the laminate wafer 4 is removed mechanically by a diamond wheel, etc., and chamfered. The laminate wafer 4 is admitted into a bath 22 having an etchant 8 of acid or alkali and etched in order to remove damage in a chamfering section 4a. The SiO<sub>2</sub> film 21 applied onto both the surface and the rear of the laminate wafer 4 functions as a protective film in the etching, and only the chamfering section 4a is etched and damage is taken off. That is, only the chamfering section 4a is etched without protection by using a conventional jig.



## ② 公開特許公報 (A) 平3-89519

③ Int. Cl.<sup>1</sup>  
H 01 L 21/306識別記号 行内整理番号  
A 7454-5F

④ 公開 平成3年(1991)4月15日

審査請求 未請求 請求項の数 1 (全6頁)

## ⑤ 発明の名称 半導体基板の製法

⑥ 特 願 平1-225684

⑦ 出 願 平1(1989)8月31日

⑧ 発明者 贊 田 晃 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑨ 発明者 佐 藤 弘 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑩ 発明者 島 ノ 江 宗 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑪ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
 ⑫ 代理人 弁理士 松隈 秀盛

## 明細書

発明の名称 半導体基板の製法

特許請求の範囲

ウエハ同士を直接貼り合せてなる貼り合せウエハの全面に耐エッチング性被膜を被覆形成し、上記貼り合せウエハの両端部の面取り部のみをエッチングして、面取り部のエッティング用治具を用いることなく簡易に行えるよう

エッティング性被膜を被覆形成し、貼り合せウエハの両端部の面取り部を面取り加工を行った後、耐エッティング性被膜をマスクとして面取り部のみをエッティングすることにより、面取り部のエッティングをエッティング用治具を用いることなく簡易に行えるよう

## 【従来の技術】

2枚のシリコンウエハ同士を直接貼り合せて例えば高電力電子等のデバイスを作る試みがなされている。また、各種のSOI基板の作成方法の中でも最も結晶性が良く、特性面でも優れていると考えられているものに貼り合せ方式がある。この貼り合せ方式は、一方のシリコンウエハの主面にSiO<sub>2</sub>膜を形成し、さらにSiO<sub>2</sub>層又は多結晶シリコン層を介して平坦化した後、別のシリコンウエハを貼り合せて、一方のシリコンウエハを薄層になるとまで研磨してSOI基板を作る方法である。

現在、このような貼り合せウエハの研究がいろいろ進められている。貼り合せウエハは、2枚の

## 〔発明の概要〕

本発明は、例えシリコンウエハを2枚直接貼り合せてなる基板や、貼り合せ方式のSOI(silicon on insulator)基板の製造に適用される半導体基板の製法に関する。

例えば図面S1 ウエハ同士をO H基の結合により貼り付け、その後熱処理することによりバルク並の接着強度をもたせて一体化するものである。次に、従来の貼り合せウエハによる半導体基板の製造工程を第2図を用いて説明する。

第1図Aに示すように、2枚の鏡面ウエハ(1)及び(2)を用意し、この2枚の鏡面ウエハ(1)及び(2)を第2図Bに示すようにアンモニア(NH<sub>3</sub>·OH)と過酸化水素水(H<sub>2</sub>O<sub>2</sub>)の混合液(3)でボイルしてウエハ(1)及び(2)の表面を清浄化する。

次に、清浄な雰囲気中で両ウエハ(1)及び(2)を貼り合せ、その後N<sub>2</sub>雰囲気中、1100℃、2時間の熱処理を行い、O H基の結合により第2図Cに示す2枚のウエハ(1)及び(2)を一体化した貼り合せウエハ(4)を形成する。

次に、第2図Dに示すように貼り合せウエハ(4)の周縁部に対して面取り加工(5)を行い、更に、面取り部(4a)にはダメージが残っているので、第2図E及び第3図に示すようにエッチング用治具(7)を介して貼り合せウエハ(4)をエッチング装置(6)の

腹又はアルカリのエッチング液(8)に浸漬して面取り部(4a)のみをエッチングする。通常、ウエハ(1)、(2)は周縁が断面弧状となっているため、後工程の一方のウエハ(1)に対する研磨加工の際、貼り合せ界面の付近まで研磨したとき、一方のウエハ(1)の周縁が別のウエハに對して浮いた状態(未接着状態)となり、更にその部分が非常に薄くなってしまう。この部分が欠けるとダスト源、ごみの原因となってデバイス作製上の歩留りの低下につながる。従って、上述のように貼り合せウエハ(4)に対してその未接着部(4b)を有する周縁部の面取りを行うことによって、かかる不都合を回避することができる。

次いで、第2図Fに示すように使用目的に応じて一方のウエハ(1)を研削、研磨によって薄膜化し目的とする例はP N接合が形成されたシリコン基板又はSOI基板等の半導体基板(10)を得る。(11)は研削手段を示す。

#### [発明が解決しようとする課題]

上述したように貼り合せウエハ(4)においては、周縁の未接着部(4b)を除去するために例えばダイヤモンドホイール等によって機械的に面取りが行われる。機械的除去するため面取り部(4a)にはダメージがあり、また研削のみであると面取り部(4a)の面が粗くダストの発生も考えられるため、面取り部のエッチングが行われる。ところで、このエッチングの方法は、面取り部のみ行いたいために、第3図の大図で示すように、貼り合せウエハ(4)の面取り部(4a)を除く裏面にエッチング用治具(7)の保護板(12)及び(13)を密着させて固定板(14)にて固定し、その状態でエッチング装置(6)のエッチング液(8)内に浸漬し、治具(7)側の固定板(14)に一体の歯部(15)にエッチング装置(6)側の把手(16)に一体の歯部(17)を噛み合せて把手(16)を回転させることによって、保護板(12)(13)と共に貼り合せウエハ(4)を回転させて均一に面取り部(4a)の表面をエッチングするようになれる。面取り部(4a)のみをエッチングする理由は、貼り合せウエハ(4)の表面及び裏面が第2図Fの研削、

研磨工程での基盤面となるからであり、この基盤面が狂うと高精度の研削、研磨が行えない。

しかるに、このようなエッチング用治具(7)を用いた従来のエッチング方法においては、エッチング用治具(7)への貼り合せウエハ(4)の装着に手間がかかり、又大掛かりなエッチング装置を必要とする等の問題があった。

本発明は、かかる点に鑑み、貼り合せウエハの面取り部のエッチングを簡易に行えるようにした半導体基板の製法を提供するものである。

#### [課題を解決するための手段]

本発明の半導体基板の製法は、ウエハ同士を直接貼り合せてなる貼り合せウエハ(4)の全面に耐エッチング性被膜(21)を被覆形成し、貼り合せウエハ(4)の周縁部の面取り加工を行った後、耐エッチング性被膜(21)をマスクとして面取り部(4a)のみをエッチングするようになる。

#### [作用]

上述した本発明によれば、貼り合せウエハ(4)の全面に耐エッチング性被膜(21)を被着形成し、周縁部の面取り加工を行った後、耐エッチング性被膜(21)をマスクとしてエッティングするので、従来のエッティング用治具を用いることなく面取り部(4a)のみのエッティングが簡易に行える。

#### [実施例]

以下、第1図を参照して本発明による半導体基板の製法の一例を説明する。

本例においては、第1図Aに示すように2枚の鏡面ウエハ(1)及び(2)を用意する。鏡面ウエハ(1)及び(2)としては、例えばSIO<sub>2</sub>基板を作成する場合には、一方のウエハ(1)をシリコンウエハの主面にSIO<sub>2</sub>膜を形成し、さらにはSIO<sub>2</sub>層又は多結晶シリコン層を形成して平坦化したウエハとし、他方のウエハ(2)をシリコンウエハとする。又PN接合等の半導体基板を作成する場合には、両ウエハ(1)及び(2)共にシリコンウエハ(導電型は互に異なるシリコンウエハ)を用いる。

ウエハ(4)を入れエッティングを行う。露のエッティング液としては例えば堿酸及び硝酸(1:5)の混合液、アルカリのエッティング液としては水酸化カリウム溶液を用いよう。このエッティング時、貼り合せウエハ(4)の裏面両面に被着されているSIO<sub>2</sub>膜(21)が保護膜となり、面取り部(4a)のみがエッティングされダメージが除去される。即ち、従来の治具を用いて保護しなくても面取り部(4a)のみがエッティングされる。エッティングの方法としては、エッティング液(5)を入れた浴槽(例えはビーカー)(22)内に5~6枚単位で貼り合せウエハ(4)を入れ、貼り合せウエハ(4)を振動し、所定時間行った後、水洗浄する。

しかし後、使用目的に応じて一方のウエハ(1)を研削、研磨して第1図Fに示す目的とする貼り合せ方式のSIO<sub>2</sub>基板又はシリコン基板等の半導体基板(10)を得る。なお研削はダイヤモンドホイールで行うので刃の目詰まりを考慮して研削前にSIO<sub>2</sub>膜(21)を全て除去した方が好ましい。

上述の製法によれば、両ウエハ(1)及び(2)の貼り

この2枚の鏡面ウエハ(1)及び(2)を第1図Bに示すようにアンモニアと過酸化水素水の混合液(3)でボイルしてウエハ(1)及び(2)の表面を清浄化する。

次に、清浄な霧団気中で両ウエハ(1)及び(2)を貼り合せた後に、O<sub>2</sub>、霧団気中、1100℃、2時間の熱処理を行って第1図Cに示すように2枚のウエハ(1)及び(2)を一体化すると共に、全面にSIO<sub>2</sub>膜(21)を被着形成した貼り合せウエハ(4)を形成する。このSIO<sub>2</sub>膜(21)はSIO<sub>2</sub>に対して耐エッチング性被膜となるもので、SIO<sub>2</sub>膜(21)の膜厚は1000nm程度で十分耐エッチング性被膜として使用できる。

次に、第1図Dに示すように、貼り合せウエハ(4)の周縁の未被着部を例えばダイヤモンドホイール等で機械的に除去し、所謂面取り加工を行う。この面取り加工では、面取り部(4a)のSIO<sub>2</sub>膜(21)のみが除去されるだけで、それ以外の表面及び裏面はSIO<sub>2</sub>膜(21)で保護されたままとなる。

次に、面取り部(4a)でのダメージを除去するために、第1図Eに示すように酸またはアルカリのエッティング液槽(22)を有する浴槽(22)内に貼り合せウ

合せ時に、O<sub>2</sub>、霧団気中で熱処理を行うことにより、貼り合せの処理と同時に全面にSIO<sub>2</sub>膜(21)による保護膜を形成することができる。従って、面取り加工した後、そのままエッティング浴槽に入れることによりSIO<sub>2</sub>膜(21)が耐エッチング性被膜として作用し、面取り部(4a)のみを選択的にエッティングすることができる。またSIO<sub>2</sub>膜(21)を保護膜として用いるため、特に従来のような貼り合せウエハの表面及び裏面にシリコンエッティング防止用の保護板(12)(13)を配する所謂エッティング治具を必要としないので、工程が少なくて済む。したがって、かかる面取り加工後の面取り部のみの選択エッティングが手間を要さず、簡易に行うことができる。

尚、上例では、貼り合せウエハの熱処理時に同時に形成したSIO<sub>2</sub>膜(21)を保護膜として用いたが、特に貼り合せの熱処理中に形成された膜に限らず、その後の別の熱処理によって形成した被膜を保護膜として用いてもよい。またSIO<sub>2</sub>膜(21)に限らず、他のSiN膜等、酸、アルカリのエッティング液に対

してシリコンよりもエッティングレートが遅く耐エッティング性被膜として用いることができる被膜であればいずれの膜も使用可能である。

## 〔発明の効果〕

本発明による半導体基板の製法によれば、貼り合せウエハの全面に耐エッティング性被膜を被着形成し、貼り合せウエハの両端部の面取り加工を行った後に、そのまま耐エッティング性被膜をマスクとして面取り部をエッティングするようになすことにより、従来のような貼り合せウエハの表裏面のエッティングを防止するための治具を用いることなく、面取り部のみを選択的にエッティングすることができる。

従って、エッティング工程が容易に行え、貼り合せ方式による半導体基板の製造を容易ならしめるものである。

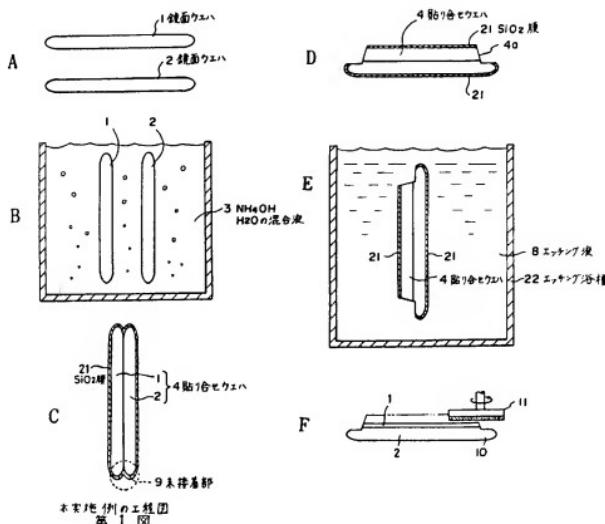
## 図面の簡単な説明

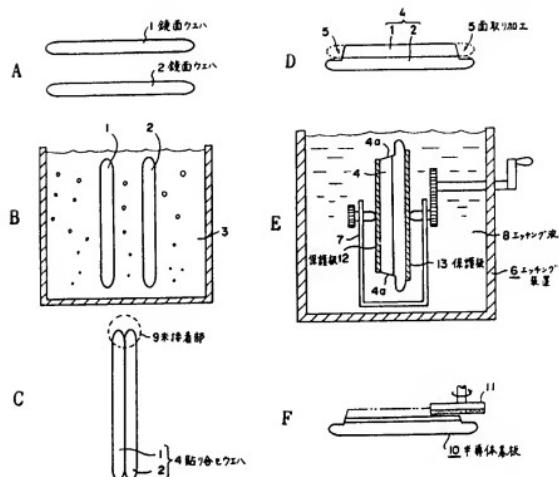
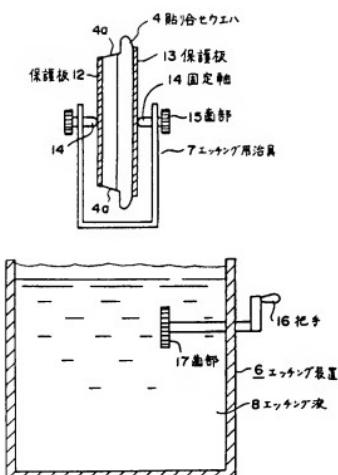
第1図A～Fは本発明に係る半導体基板の製法の一例を示す工程図、第2図A～Fは従来の半導

体基板の製法を示す工程図、第3図は面取り加工後の面取り部エッティングに供する従来のエッティング装置の構成図である。

(1)④は鏡面ウエハ、(4)は貼り合せウエハ、(4a)は面取り部、(8)はエッティング液、(10)は半導体基板、(21)はSiO<sub>2</sub>膜である。

代理人 松隈秀盛



従来例の工程図  
第2図従来のエッティング装置の構成図  
第3図

## 三、発明補正請求

平成 1年 1月 12日

特許庁長官 吉田文毅

## 1. 事件の表示

平成 1年 特許願 第225684号

## 2. 発明の名称

半導体基板の製法

## 3. 稽正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218) ソニーリミテッド

代表取締役 大賀典雄



## 4. 代理人

住 所 東京都新宿区西新宿1丁目8番1号 (新宿ビル)  
TEL 03-343-582119

氏 名 (8088) 弁理士 松隈秀雄



## 5. 稽正命令の日付 平成 年 月 日

## 6. 稽正により増加する発明の数



## 7. 稽正の対象

明細書の充実の詳細な説明の欄

## 8. 稽正の内容

- (1) 明細書中、第3頁6行「第1回A」とあるを  
「第2回A」に訂正する。
- (2) 同、第9頁16行「S1O基板」とあるを「S  
OI基板」に訂正する。

以上